

## PATENT ABSTRACTS OF JAPAN

2

(11)Publication number : 63-016710

(43)Date of publication of application : 23.01.1988

(51)Int.Cl.

H03K 5/00  
H03K 3/037  
H03K 5/13  
H03K 19/00

(21)Application number : 61-161379

(71)Applicant : NEC CORP

(22)Date of filing : 09.07.1986

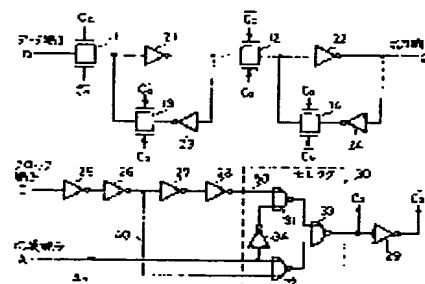
(72)Inventor : SATO JUNICHI

## (54) LATCH CIRCUIT

## (57)Abstract:

**PURPOSE:** To adjust the timing of latch minutely by selecting a delay time of a clock terminal in response to a switching voltage given to a selector changeover terminal.

**CONSTITUTION:** A changeover terminal A is connected to one input of a NOR circuit 32 and the other input of the NOR circuit 32 is connected to an output of an invert buffer 26. An output of NOR circuits 31, 32 is given to each input of a NOR circuit 33, an output of the NOR circuit 33 is given to an input of an invert buffer 26, a delay clock signal Ca is outputted from an output of the invert buffer 29, and a delay clock signal, the inverse of Ca is outputted from the output of the NOR circuit 33 respectively and fed to respective control gates of transfer gates 11 ~ 14. The NOR circuits 31 ~ 33 and an invert buffer 34 constitute a selector 30 to apply the selection of changeover of the delay time of the delayed clock signal Ca and the inverse of Ca.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

## ⑫ 公開特許公報(A)

昭63-16710

⑤ Int. Cl.<sup>4</sup>

H 03 K

5/00

3/037

5/13

19/00

識別記号

1 0 1

庁内整理番号

7259-5J

Z-8425-5J

7259-5J

H-8326-5J

④ 公開 昭和63年(1988)1月23日

審査請求 未請求 発明の数 1 (全4頁)

⑥ 発明の名称 ラッチ回路

② 特 願 昭61-161379

② 出 願 昭61(1986)7月9日

⑦ 発 明 者 佐 藤 淳 一

東京都港区芝5丁目33番1号 日本電気株式会社内

⑧ 出 願 人 日本電気株式会社

東京都港区芝5丁目33番1号

⑨ 代 理 人 弁理士 井出 直孝

## 明 細 書

## 1. 発明の名称

ラッチ回路

## 2. 特許請求の範囲

(1) 複数個のトランスファゲートと、この各トランスファゲートの二つの制御ゲートにクロック信号をそれぞれ所定の遅延時間だけ遅延させた相補の遅延クロック信号をそれぞれ印加する遅延手段とを含むラッチ回路において、

上記遅延時間を外部端子により異なる値に切り換える切換手段を

含むことを特徴とするラッチ回路。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明はラッチ回路に関する。特に、CMOS(相補型絶縁ゲート電界効果トランジスタ)構造のラッチ回路に利用するに適する。

## (概 要)

本発明は、複数個のトランスファゲートと、この各トランスファゲートの二つのゲート制御端子にクロック信号をそれぞれ所定時間遅延させた相補の遅延信号をそれぞれ印加する遅延手段とを含むラッチ回路において、

上記遅延手段が、外部端子から遅延クロック信号の遅延時間を異なる値に切り換えできるようにすることにより、

ラッチのタイミングを微調整できるようにしたものである。

## (従来技術)

従来この種のラッチ回路は、トランスファゲートおよびインバートバッファもしくはノア回路およびナンド回路から構成されていた。

第3図は従来のCMOS構造のラッチ回路の一例を示す回路図である。第3図において、1はトランスファゲートであり、2はインバートバッファである。クロック端子Cに入力されたクロック信号が1段のインバートバッファ2により反転遅

延された遅延クロック信号Caと、この遅延クロック信号Caがさらに1段のインバートバッファ2により反転遅延された相補の遅延クロック信号Ca<sup>̄</sup>とが、それぞれトランスファゲート1の制御ゲートに印加されることで、データ端子Dに入力されたデータ信号をラッチし、出力端子Qより出力信号を出力する。

〔発明が解決しようとする問題点〕

上述した従来のラッチ回路には、ラッチのタイミングを微調整する回路がついていないため、ラッチのタイミングを微調整するには、ラッチ回路の外部にそのための回路を作る必要がある。

第4図に示すように、多数のラッチ回路4が同時に動作する場合には、同時動作が問題となることがある。この問題を回避する手段として、第5図のような回路変更が考えられる。すなわち、バッファ7を数段介しラッチ回路4のクロック信号とする。なお第4図および第5図において、5はトリステートバッファ、6は外部出力端子、およびCbはトリステートバッファ6の制御信号

である。

ゲートアレイの設計においては、配置配線がコンピュータで自動的に行われるため、レイアウト以前に配線長を予想することは非常に困難であり、従って配線長まで考慮したときのゲートの遅延時間を予想することも困難となる。

すなわち、上述の回路変更のように、ゲートを介した場合の遅延時間を予想することは困難であり、従来のラッチ回路には、ラッチのタイミングを微調整することが困難である欠点がある。

本発明の目的は、上記の欠点を除去することにより、ラッチのタイミングの微調整が容易にできるラッチ回路を提供することにある。

〔問題点を解決するための手段〕

本発明は、複数個のトランスファゲートと、この各トランスファゲートの二つの制御ゲートにクロック信号をそれぞれ所定の遅延時間だけ遅延させた相補の遅延クロック信号をそれぞれ印加する遅延手段とを含むラッチ回路において、上記遅延時間を外部端子により異なる値に切り換える切換

手段を含むことを特徴とする。

〔作用〕

本発明は、遅延手段として、例えばセレクトを設け、外部切換端子に与えられる電圧に従って、遅延クロック信号の遅延時間を異なる値に切り換えできるようにしている。

従って、入力されるデータ信号のラッチのタイミングを外部から微調整することが可能となる。

〔実施例〕

以下、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例を示す回路図である。データ端子Dに一端が接続されたトランスファゲート11がインバートバッファ21を介してトランスファゲート12の一端に接続され、トランスファゲート12の他端はインバートバッファ22を介し出力端子Qに接続される。インバートバッファ21の出力はインバートバッファ23とトランスファゲート13を介してその入力に接続され、同様にインバートバッファ22の出力はインバートバッファ24とト

ランスファゲート14を介してその入力に接続される。

一方、クロック端子Cにはインバートバッファ25、26、27および28が縦続接続され、インバートバッファ28の出力はノア回路31の一方の入力に接続され、ノア回路31の他方の入力は切換端子Aがインバートバッファ34を介して接続される。さらに切換端子Aはノア回路32の一方の入力に接続され、ノア回路32の他方の入力はインバートバッファ26の出力に接続される。ノア回路31および32の出力はノア回路33のそれぞれの入力に接続され、ノア回路33の出力はインバートバッファ29の入力に接続され、そして、インバートバッファ29の出力からは遅延クロック信号Caが、ノア回路33の出力からは遅延クロック信号Ca<sup>̄</sup>がそれぞれ出力され、トランスファゲート11、12、13および14のそれぞれの制御ゲートに供給される。ここで、ノア回路31、32および33とインバートバッファ34とでセレクト30を構成し、切換端子Aに与えられる切換電圧に従って、遅延クロック信号Caおよび

でaの遅延時間の切換え選択を行う。

本発明の特徴は、第1図において、切換端子Aを有するセクタ30を設けたことにある。

次に、本実施例の動作について第2図に示すタイミングチャートを参照して説明する。第2図に示すように切換端子Aが低レベルの場合、セクタ30はインバートバッファ26の出力からのバス40を選択し、セクタ30の出力である遅延クロック信号Caは第2図に示す遅延時間t<sub>d1</sub>を持つ。一方、切換端子Aが高レベルの場合、セクタ30はインバートバッファ28の出力であるバス50を選択し、遅延クロック信号Caの遅延時間は第2図に示すように遅延時間t<sub>d2</sub>となる。

すなわち、本実施例によれば、切換端子Aに与える電圧でラッチ回路のクロック端子に与える遅延クロック信号の遅延時間を選択して切り換えることにより、ラッチの微調整を行うことができる。

(発明の効果)

以上説明したように、本発明は、セクタの切

換端子によってクロック端子の遅延時間を選択することにより、ラッチのタイミングを微調整できる効果がある。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示す回路図。

第2図はその動作を示すタイミングチャート。

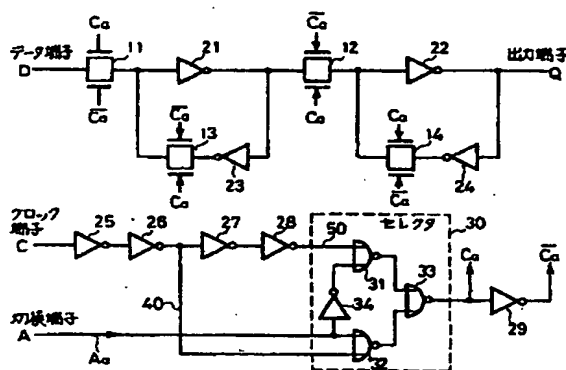
第3図は第一の従来例を示す回路図。

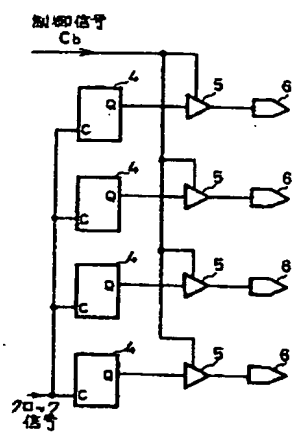
第4図は第二の従来例を示す回路図。

第5図は第三の従来例を示す回路図。

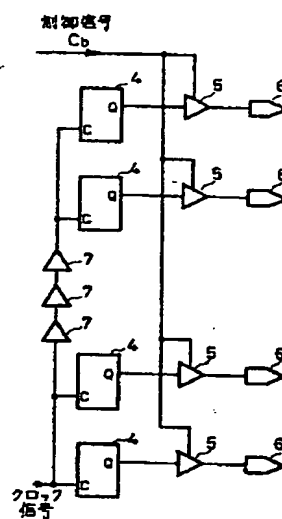
1、11~14…トランスファゲート、2、21~28、34…インバートバッファ、4…ラッチ回路、5…トライステートバッファ、6…外部出力端子、7…バッファ、30…セクタ、40、50…バス、A…切換端子、C…クロック端子、Ca、Ca…遅延クロック信号、Cb…制御信号、D…データ端子、Q…出力端子。

特許出願人 日本電気株式会社  
代理人 弁理士 井出直孝





従来例  
第 4 図



従来例  
第 5 図